

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

B4

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-085381

(43)Date of publication of application : 25.03.1994

(51)Int.Cl.

H01S 3/18

(21)Application number : 04-231102

(71)Applicant : SHARP CORP

(22)Date of filing : 31.08.1992

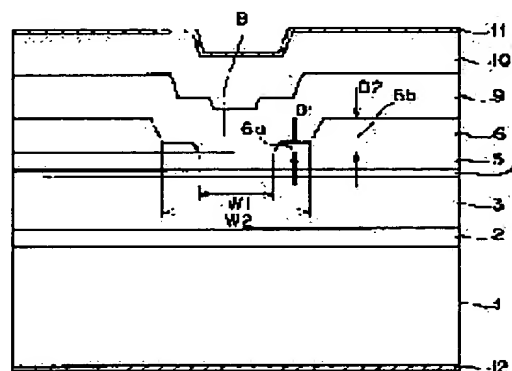
(72)Inventor : SUYAMA NAOHIRO
OBAYASHI TAKESHI
HOSOBANE HIROYUKI
KONDO MASAFUMI
KANEIWA SHINJI
HATA TOSHIO

(54) SEMICONDUCTOR LASER ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To reduce the internal loss of a semiconductor laser element due to the optical absorption effect of a current stopping layer constituting the semiconductor laser element and to make an oscillation take place stably in a fundamental transverse mode at a high differential efficiency and in a low threshold current.

CONSTITUTION: A first clad layer 3, an active layer 4, a second clad layer 5, a current stopping layer 6 provided with a striped groove 8 for forming a current path and a third clad layer 9 are laminated in order on a semiconductor substrate 1. The layer 6 has a first region 6a, whose thickness to come into contact to a place where the groove penetrates this layer is thin, and a second region 6b, which is linked with this region 6a and is thick in thickness, so that the striped groove 8 is formed in a two-step depth. The thickness D1 of the region 6a is set within a range of $0.05\mu\text{m} < D1 < 0.3\mu\text{m}$.



LEGAL STATUS

[Date of request for examination] 26.07.1996

[Date of sending the examiner's decision of rejection] 18.05.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85381

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01S 3/18

審査請求 未請求 請求項の数7(全12頁)

(21)出願番号 特願平4-231102

(22)出願日 平成4年(1992)8月31日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 須山 尚宏

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 大林 健

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 細羽 弘之

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(74)代理人 弁理士 青山 葆 (外1名)

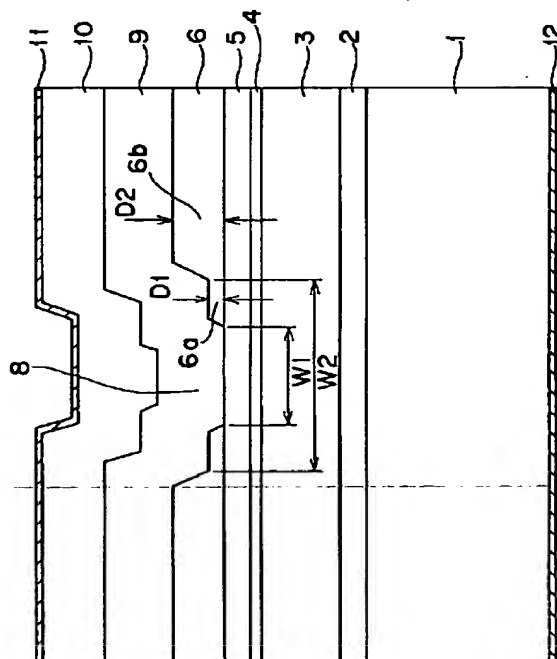
最終頁に続く

(54)【発明の名称】 半導体レーザ素子およびその製造方法

(57)【要約】

【目的】 半導体レーザ素子を構成する電流阻止層の光吸収効果に基づく内部損失を低減する。高微分効率かつ低閾値電流で安定に基本横モード発振を行わせる。

【構成】 半導体基板1上に、第1のクラッド層3と、活性層4と、第2のクラッド層5と、電流通路を形成するストライプ状の溝8が設けられた電流阻止層6と、第3のクラッド層9が順に積層されている。電流阻止層6は、ストライプ状の溝8が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域6aと、この第1の領域6aに連なり、厚さが厚い第2の領域6bを有する。第1の領域6aの厚さD1は、 $0.05\mu\text{m} < D1 < 0.3\mu\text{m}$ の範囲内に設定されている。



1

【特許請求の範囲】

【請求項1】 半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、電流通路を形成するストライプ状の溝が設けられた電流阻止層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有することを特徴とする半導体レーザ素子。

【請求項2】 上記電流阻止層の第1の領域の厚さD1は、

$$0.05\mu\text{m} < D1 < 0.3\mu\text{m}$$

の範囲内にあることを特徴とする請求項1に記載の半導体レーザ素子。

【請求項3】 半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、複数種類の半導体層からなり、電流通路を形成するストライプ状の溝が設けられた電流阻止構造体層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止構造体層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有することを特徴とする半導体レーザ素子。

【請求項4】 上記電流阻止構造体層の第1の領域を構成する半導体層のうち、上記活性層が発したレーザ光を吸収する半導体層の厚さの和D5は、

$$0.05\mu\text{m} < D5 < 0.3\mu\text{m}$$

の範囲内にあることを特徴とする請求項3に記載の半導体レーザ素子。

【請求項5】 上記電流阻止構造体層は、上記半導体層として、互いに選択的にエッチング可能な層を含むことを特徴とする請求項3または4に記載の半導体レーザ素子。

【請求項6】 半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、電流阻止層を順に積層する工程と、

フォトリソグラフィおよびエッチングを行って、上記電流阻止層の表面側に、所定の幅と深さを有するストライプ状の溝を形成する工程と、

フォトリソグラフィを行って、上記ストライプ状の溝の両側の電流阻止層表面に、上記ストライプ状の溝を中心とし、この溝の幅よりも広いストライプ状の窓を有するフォトレジストを設ける工程と、

上記フォトレジストをマスクとして、上記電流阻止層が上記窓の中心部で貫通するまでエッチングを行って、この貫通箇所の両側に途中までエッチングされた領域を残して上記電流阻止層に2段の深さを有するストライプ状の溝を形成する工程と、

2

上記半導体基板上に、少なくとも第3のクラッド層を積層する工程を有することを特徴とする半導体レーザ素子の製造方法。

【請求項7】 半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、選択的にエッチング可能な第1の電流阻止層、エッチストップ層および第2の電流阻止層を含む電流阻止構造体層とを順に積層する工程と、

フォトリソグラフィを行って、上記電流阻止構造体層の表面にストライプ状の窓を有するフォトレジストを設け、このフォトレジストをマスクとして上記第2の電流阻止層を上記エッチストップ層に対して選択的にエッチングして除去し、続いて、上記エッチストップ層を上記第1の電流阻止層に対して選択的にエッチングして除去して、上記電流阻止構造体層に所定の幅と深さを有するストライプ状の溝を形成する工程と、

フォトリソグラフィを行って、上記ストライプ状の溝の両側の電流阻止構造体層表面に、上記ストライプ状の溝を中心とし、この溝の幅よりも広いストライプ状の窓を有するフォトレジストを設ける工程と、

上記フォトレジストをマスクとして、上記窓の中心部で第1の電流阻止層をエッチングして除去するとともに上記中心部の両側で上記第2の電流阻止層を上記エッチストップ層に対して選択的にエッチングして除去して、上記電流阻止層に2段の深さを有するストライプ状の溝を形成する工程と、

上記半導体基板上に、少なくとも第3のクラッド層を形成する工程を有することを特徴とする半導体レーザ素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体レーザ素子およびその製造方法に関し、より詳しくは、低閾値電流、高効率で安定に基本モード動作する半導体レーザ素子およびその製造方法に関する。

【0002】

【従来の技術】半導体レーザ素子は多くの応用分野において良好な光学特性が要求されており、これを実現するために、屈折率導波構造を採用している場合が多い。屈折率導波構造としては、分子線エビタキシー(MBE)法や有機金属気相成長(MOCVD)法などの結晶成長法によって作製されるセルフアライン構造のものが知られている。

【0003】図12はセルフアライン構造を有する従来の半導体レーザ素子の断面を示している。この半導体レーザ素子は、n-GaAs基板101上に、MOCVD法によって、n-GaAsバッファ層102(厚さ0.5μm)、n-Al_{0.4}Ga_{0.6}As第1のクラッド層103(γ=0.45、厚さ1μm)、Al_{0.4}Ga_{0.6}As活性層104(x=0.13、厚さ0.08μm)、p-Al_{0.4}Ga_{0.6}As第2のクラ

50

ッド層105(厚さ $0.2\mu\text{m}$)、 n-GaAs 電流阻止層106(厚さ $1\mu\text{m}$)を順に積層している。続いて、フォトリソグラフィおよびエッチングを行って、電流阻止層106に $3\sim 4\mu\text{m}$ の幅で第2クラッド層105の表面に至るストライプ状の溝120を形成する。この後、この上に、再びMOCVD法によって、 $\text{p-Al}_{1-x}\text{Ga}_x\text{As}$ 第3のクラッド層108(厚さ $1\mu\text{m}$)、 p-GaAs キャップ層109(厚さ $1\mu\text{m}$)を順に積層している。動作時には、上記電流阻止層106に設けたストライプ状の溝120に電流通路が形成されるとともに、電流阻止層106が有する光吸収作用によって屈折率導波機構が形成される。この半導体レーザ素子では、上記光吸収作用によって高次の横モードに対する損失が基本横モードの損失に対して非常に大きくなる結果、極めて安定な基本横モード動作を得ることができる。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の半導体レーザ素子は、上記電流阻止層106の光吸収効果に基づく内部損失に起因して、微分効率の低下や発振閾値電流の増大という特性悪化を招いている。微分効率を高め、発振閾値電流を低下させるためには、上記光吸収効果に基づく内部損失をできるだけ小さくしなければならない。

【0005】そこで、この発明の目的は、電流阻止層の光吸収効果に基づく内部損失を低減でき、高微分効率かつ低閾値電流で安定に基本横モード発振する半導体レーザ素子およびその製造方法を提供することにある。

【0006】

【課題を解決するための手段および作用】上記目的を達成するために、この発明の半導体レーザ素子は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、電流通路を形成するストライプ状の溝が設けられた電流阻止層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有することを特徴としている。

【0007】また、上記電流阻止層の第1の領域の厚さD1は、 $0.05\mu\text{m} < D1 < 0.3\mu\text{m}$ の範囲内にあるのが望ましい。

【0008】また、この発明の半導体レーザ素子は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、複数種類の半導体層からなり、電流通路を形成するストライプ状の溝が設けられた電流阻止構造体層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止構造体層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第

2の領域を有することを特徴としている。

【0009】また、上記電流阻止構造体層の第1の領域を構成する半導体層のうち、上記活性層が発したレーザ光を吸収する半導体層の厚さの和D5は、 $0.05\mu\text{m} < D5 < 0.3\mu\text{m}$ の範囲内にあるのが望ましい。

【0010】また、上記電流阻止構造体層は、上記半導体層として、互いに選択的にエッチング可能な層を含むのが望ましい。

【0011】また、この発明の半導体レーザ素子の製造方法は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、電流阻止層を順に積層する工程と、フォトリソグラフィおよびエッチングを行って、上記電流阻止層の表面側に、所定の幅と深さを有するストライプ状の溝を形成する工程と、フォトリソグラフィを行って、上記ストライプ状の溝の両側の電流阻止層表面に、上記ストライプ状の溝を中心とし、この溝の幅よりも広いストライプ状の窓を有するフォトレジストを設ける工程と、上記フォトレジストをマスクとして、上記電流阻止層が上記窓の中心部で貫通するまでエッチングを行って、この貫通箇所の両側に途中までエッチングされた領域を残して上記電流阻止層に2段の深さを有するストライプ状の溝を形成する工程と、上記半導体基板上に、少なくとも第3のクラッド層を積層する工程を有することを特徴としている。

【0012】また、この発明の半導体レーザ素子の製造方法は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、選択的にエッチング可能な第1の電流阻止層、エッチストップ層および第2の電流阻止層を含む電流阻止構造体層とを順に積層する工程と、フォトリソグラフィを行って、上記電流阻止構造体層の表面にストライプ状の窓を有するフォトレジストを設け、このフォトレジストをマスクとして上記第2の電流阻止層を上記エッチストップ層に対して選択的にエッチングして除去し、続いて、上記エッチストップ層を上記第1の電流阻止層に対して選択的にエッチングして除去して、上記電流阻止構造体層に所定の幅と深さを有するストライプ状の溝を形成する工程と、フォトリソグラフィを行って、上記ストライプ状の溝の両側の電流阻止構造体層表面に、上記ストライプ状の溝を中心とし、この溝の幅よりも広いストライプ状の窓を有するフォトレジストを設ける工程と、上記フォトレジストをマスクとして、上記窓の中心部で第1の電流阻止層をエッチングして除去するとともに上記中心部の両側で上記第2の電流阻止層を上記エッチストップ層に対して選択的にエッチングして除去して、上記電流阻止層に2段の深さを有するストライプ状の溝を形成する工程と、上記半導体基板上に、少なくとも第3のクラッド層を形成する工程を有することを特徴としている。

【0013】本発明者は、セルフアライン型半導体レーザ素子の特性に関して検討を進めた結果、電流阻止層の

10

20

30

40

50

光吸収効果に基づく内部損失の大きさ(α)が、電流阻止層の厚さ(Db)と単純には比例せず、むしろ周期的に変化することを発見した。

【0014】例えば、図10(a)に示すセルフアライン構造のモデルにおいて電流阻止層の厚さ(Db)を変化させるものとする(図中の括弧内に、各層の組成と厚さをそれぞれ示している)。この場合、本発明者の計算結果によれば、発振領域Aとその両側の領域Bとの等価屈折率の差(ΔN)と、電流阻止層の光吸収効果に基づく内部損失の大きさ(α)とは、同図(b)に示すように変化する。すなわち、Dbを0.1 μm 程度から増加させていくと ΔN 、 α の値は共に振動し、十分に厚いところで一定値に収束してゆく。なお、図11(a)に示すセルフアライン構造のモデルにおいて電流阻止層の厚さ(Db)を変化させた場合、電流阻止層の光吸収効果に基づく内部損失の大きさ(α)は、同図(b)に破線で示すように、先のモデルの α (実線で示す)に対して若干だけシフトする。

【0015】これらの結果は、屈折率導波機構が電流阻止層の光吸収の大小では単純には決定されないこと、つまり、電流阻止層の厚さ(Db)を薄くしていくと単純に光吸収(つまり α)が減少し、同時に ΔN も小さくなって屈折率導波機構が失われるものではないことを示している。そして、Dbが0.05~0.3 μm のときに限り、 ΔN が最大、 α が最小となることを示している。したがって、Dbを0.05~0.3 μm の範囲に設定すれば、 ΔN が最大となってレーザー光はストライプ部に強く閉じ込められ、また、 α が略最小となって低閾値電流、高効率特性となることが期待される(なお、高次横モードに関しては、図12に示した従来例と同様に、安定な基本横モード発振が期待される)。

【0016】しかしながら、実際には、電流阻止層の厚さが0.3 μm 以下になると、電流阻止層の本来の機能(電流阻止機能)が不十分となる。このため、上述のような好ましい特性は、直ちには得られない。

【0017】そこで、この発明では、上記結果を踏まえて、上記電流阻止層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有することとした。すなわち、発振領域(ストライプ状の溝が貫通している領域)の外側で電流阻止層の厚さや構造を変えることによって、発振領域近傍(第1の領域に相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域に相当する)では電流阻止層の厚さを厚くして十分な電流阻止機能を持たせている。この構成では、発振領域近傍(第1の領域に相当する)では電流阻止機能は十分ではないが、その幅を小さく1 μm 程度にしておけば、素子全体の電流阻止機能に与える影響はほとんど無い。したがって、先に述べた内部損失(α)を低減する効果により、低閾値電流、高効率特性が実現される。ま

た、発振領域への強い光閉じ込めが実現され、この結果、活性層に平行方向の遠視野像の拡がりが大きくなり、低楕円率が得られる。

【0018】また、上記電流阻止層に代えて、複数種類の半導体層を含む電流阻止構造体層を有する半導体レーザー素子では、上記電流阻止構造体層のストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を設ける。この場合、上記第1の領域を構成する半導体層のうち、上記活性層が発したレーザー光を吸収する半導体層の厚さの和D5を、

$$0.05 \mu\text{m} < D5 < 0.3 \mu\text{m}$$

の範囲内に設定する。これにより、発振領域近傍(第1の領域に相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域に相当する)では電流阻止構造体層の厚さを厚くして十分な電流阻止機能を持たせることができる。

【0019】また、上記電流阻止構造体層が上記半導体層として互いに選択的にエッチング可能な層を含む場合、エッチングすべき層の下地の半導体層をいわゆるエッチストップ層として使用でき、エッチングを確実に停止することができる。したがって、上記電流阻止構造体層を精度良く仕上げることができる。

【0020】

【実施例】以下、この発明の半導体レーザー素子およびその製造方法を実施例により詳細に説明する。

【0021】図1は第1実施例の半導体レーザー素子の断面を示している。この半導体レーザー素子は、n-GaAs基板1上に、n-GaAsバッファ層2(厚さ1 μm)と、n-Al_xGa_{1-x}As第1のクラッド層3($x=0.55$ 、厚さ1.5 μm)と、Al_xGa_{1-x}As活性層4($x=0.14$ 、厚さ0.08 μm)と、p-Al_xGa_{1-x}As第2のクラッド層5(厚さ0.20 μm)と、電流通路を形成するストライプ状の溝8が設けられたn-GaAs電流阻止層6(厚さ1 μm)と、p-Al_xGa_{1-x}As第3のクラッド層9(厚さ1.2 μm)と、p-GaAsキャップ層10(厚さ1 μm)を順に備えている。上記電流阻止層6は、上記ストライプ状の溝8が2段の深さになるように、この溝がこの層を貫通する箇所に接する厚さが薄い第1の領域6aと、この第1の領域に連なり、厚さが厚い第2の領域6bを有している。なお、11はp側電極、12はn側電極である。

【0022】この半導体レーザー素子は次のようにして作製する。

【0023】①まず、図4(a)に示すように、n-GaAs基板1上に、MOCVD法により、n-GaAsバッファ層2(厚さ1 μm)、n-Al_xGa_{1-x}As第1のクラッド層3($x=0.55$ 、厚さ1.5 μm)、Al_xGa_{1-x}As活性層4($x=0.14$ 、厚さ0.08 μm)、p-Al_xGa_{1-x}As第2のクラッド層5(厚さ0.20 μm)およびn-GaAs電

流阻止層6(厚さ1 μm)を連続的に成長する。

【0024】②次に、同図(b)に示すように、フォトリソグラフィおよびエッチングを行って、上記電流阻止層6の中央部に幅約2.5 μm 、深さ0.15 μm のストライプ状溝7を形成する。

【0025】③次に、再びフォトリソグラフィを行って、ストライプ状溝7の両側の電流阻止層6表面に図示しないフォトレジストを設ける。このとき、このフォトレジストには、上記ストライプ状溝7を中心とする幅4 μm 程度のストライプ状の窓を形成する(W2の値は、レーザ光の拡がり幅が通常数 μm であることから、最大10 μm に設定される)。そして、同図(c)に示すように、このフォトレジストをマスクとして、上記電流阻止層6を厚さ0.85 μm 分だけエッチングして、電流阻止層6に2段の深さを有するストライプ状溝8を形成する。すなわち、図1に示すように、電流阻止層6に、貫通箇所を形成するとともに、この貫通箇所に接する厚さD1=0.15 μm の第1の領域6aと、この第1の領域6aに連なる厚さD2=1 μm の第2の領域6bを形成する。なお、第1の領域6aの幅(片側)は、(W2-W1)/2に相当し、約0.75 μm となる。

【0026】④次に、図5(d)に示すように、再びMOCVD法によって、全面に、p-Al_{0.3}Ga_{0.7}As第3のクラッド層9(厚さ1.2 μm)と、p-GaAsキャップ層10(厚さ1 μm)を順に積層する。

【0027】⑤最後に、同図(e)に示すように、基板の両側に、p側電極11、n側電極12を形成する。そして、劈開により、基板をチップに分割して作製を完了する。

【0028】この半導体レーザ素子は、発振領域近傍(第1の領域6aに相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域6bに相当する)では電流阻止層の厚さを厚くして十分な電流阻止機能を持たせている。したがって、先に述べた内部損失(α)を低減する効果により、低閾値電流、高効率特性を実現することができる。また、発振領域への強い光閉じ込めを実現できる。この結果、活性層に平行方向の遠視野像の拡がりが大きくなり、低楕円率を得ることができる。なお、この構成では、発振領域近傍(第1の領域6aに相当する)では電流阻止機能は十分ではないが、その幅を小さく1 μm 以下(約0.75 μm)に設定しているので、素子全体の電流阻止機能に与える影響はほとんど無い。

【0029】図2は第2実施例の半導体レーザ素子の断面を示している。この半導体レーザ素子は、n-GaAs基板21上に、n-GaAsバッファ層22(厚さ1 μm)と、n-Al_{0.3}Ga_{0.7}As第1のクラッド層23($\gamma=0.55$ 、厚さ1.5 μm)と、Al_{0.3}Ga_{0.7}As第1の光ガイド層24($w=0.40$ 、厚さ0.15 μm)と、量子井戸構造活性層25と、Al_{0.3}Ga_{0.7}As第2の光ガイド層26(厚さ

0.15 μm)と、p-Al_{0.3}Ga_{0.7}As第2のクラッド層27(厚さ0.20 μm)と、複数種類の半導体層28~34からなり、電流通路を形成するストライプ状溝36が設けられた電流阻止構造体層41と、p-Al_{0.3}Ga_{0.7}As第3のクラッド層37(厚さ1.2 μm)と、p-GaAsキャップ層38(厚さ1 μm)を備えている。上記電流阻止構造体層41は、上記ストライプ状溝36が2段の深さになるように、この溝がこの層を貫通する箇所に接する厚さが薄い第1の領域41aと、この第1の領域41aに連なり、厚さが厚い第2の領域41bを有している。なお、39はp側電極、40はn側電極である。

【0030】この半導体レーザ素子は次のようにして作製する。

【0031】①まず、図6(a)に示すように、n-GaAs基板21上に、分子線エピタキシー(MBE)法により、n-GaAsバッファ層22(厚さ1 μm)、n-Al_{0.3}Ga_{0.7}As第1のクラッド層23($\gamma=0.55$ 、厚さ1.5 μm)、Al_{0.3}Ga_{0.7}As第1の光ガイド層24($w=0.40$ 、厚さ0.15 μm)、量子井戸構造活性層25、Al_{0.3}Ga_{0.7}As第2の光ガイド層26(厚さ0.15 μm)、p-Al_{0.3}Ga_{0.7}As第2のクラッド層27(厚さ0.20 μm)を順に積層する。続いて、上記電流阻止構造体層41を構成するp-GaAs第1の保護層28(厚さ0.03 μm)、p-Al_{0.3}Ga_{0.7}As第1のエッチストップ層29($u=0.55$ 、厚さ0.03 μm)、n-Al_{0.3}Ga_{0.7}As第1の電流阻止層30($v=0.1$ 、厚さ0.15 μm)、n-GaAs第2の保護層(厚さ0.03 μm)31、n-Al_{0.3}Ga_{0.7}As第2のエッチストップ層(厚さ0.03 μm)32、n-Al_{0.3}Ga_{0.7}As第2電流阻止層33(厚さ0.6 μm)およびn-GaAs第3の保護層34(厚さ0.05 μm)を順に積層する。

【0032】②次に、上記第3の保護層34の表面にフォトレジスト(図示せず)を塗布して、フォトリソグラフィを行って、上記フォトレジストに幅約2.5 μm のストライプ状の窓を形成する。次に、同図(b)に示すように、このフォトレジストをマスクとして選択エッチングを行って、第3の保護層34、第2の電流阻止層33を除去し、第2のエッチストップ層32でエッチングを停止させる。続いて、この第2のエッチストップ層32を選択的に除去する(このとき、第2の保護層31がエッチストップ層となる)。これにより、基板上に、ストライプ状溝35を形成する。

【0033】③次に、再びフォトリソグラフィを行って、ストライプ状溝35の両側の第3の保護層34表面にフォトレジスト(図示せず)を設ける。このとき、このフォトレジストには、上記ストライプ状溝35を中心とする幅4 μm 程度のストライプ状の窓を形成する。そして、同図(c)に示すように、このフォトレジストをマスクとして選択エッチングを行って、上記ストライプ状溝35の底に露出した第2の保護層31と第1の電流阻止

層30を除去し、第1のエッチストップ層29でエッチングを停止させる。同時に、ストライプ状溝35の両側の第3の保護層34と第2の電流阻止層33を除去し、第2のエッチストップ層32でエッチングを停止させる。さらに、上記フォトリソを除去したのち、ストライプ状溝の底に露出した第1のエッチストップ層29と第2のエッチストップ層32を選択的に除去する(このとき、それぞれ第1の保護層28、第2の保護層31がエッチストップ層となる。)。これにより、電流阻止構造体層41に、2段の深さを有するストライプ状溝36を形成する。すなわち、電流阻止構造体層41に、貫通箇所を形成するとともに、この貫通箇所に接する厚さが薄い第1の領域41aと、この第1の領域41aに連なり、厚さが厚い第2の領域41bを形成する。

【0034】この半導体レーザ素子では、エッチングすべき層の下地に、選択的にエッチング可能な半導体層28, 29, 31, 32を設けているので、確実にエッチングを停止させることができ、ストライプ状溝36を精度良く仕上げることができる。

【0035】④次に、図7(d)に示すように、液相成長法により、ストライプ状溝36の底に露出した第1の保護層28をメルトバックした後、全面に、 $p\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第3のクラッド層37(厚さ $1.2\mu\text{m}$)と、 $p\text{-GaAs}$ キャップ層38(厚さ $1\mu\text{m}$)を積層する。なお、第1の保護層28をメルトバックすると同時に、ストライプ状溝36の両側の第3の保護層34の全部もしくは一部をメルトバックしても良い。

【0036】この段階で、電流阻止構造体層41の第1の領域41a、第2の領域41bの厚さD3, D4(図2に示す)は、 $D3=0.26\mu\text{m}$ 、 $D4=0.97\mu\text{m}$ 程度になる。特に、上記第1の領域41aを構成する半導体層28~34のうち活性層25が発したレーザ光を吸収する半導体層28, 30の厚さの和D5は、 $0.18\mu\text{m}$ になっている。なお、第1の領域41aの幅(片側)は、 $(W2-W1)/2$ に相当し、約 $0.75\mu\text{m}$ となる。

【0037】⑤最後に、図7(e)に示すように、基板の両側に、 p 側電極39、 n 側電極40を形成する。そして、劈開により、基板をチップに分割して作製を完了する。

【0038】この半導体レーザ素子は、発振領域近傍(第1の領域41aに相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域41bに相当する)では電流阻止構造体層41の厚さを厚くして十分な電流阻止機能を持たせている。特に、上記第1の領域41aを構成する半導体層28~34のうち活性層25が発したレーザ光を吸収する半導体層28, 30の厚さの和D5は、 $0.23\mu\text{m}$ であり、 $0.3\mu\text{m}$ 未満に設定されている。したがって、先に述べた内部損失(α)を低減する効果により、低閾値電流、高効率特性を実現することができる。また、発振領域への強い光

閉じ込めを実現できる。この結果、活性層に平行方向の遠視野像の拡がりが大きくなり、低楕円率を得ることができる。

【0039】図3は第3実施例の半導体レーザ素子の断面を示している。この半導体レーザ素子は、 $n\text{-GaAs}$ 基板21上に、 $n\text{-GaAs}$ バッファ層22(厚さ $1\mu\text{m}$)と、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第1のクラッド層23($x=0.45$ 、厚さ $2.0\mu\text{m}$)と、多重量子井戸構造活性層125と、 $p\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第2のクラッド層27(厚さ $0.15\mu\text{m}$)と、複数種類の半導体層50~56からなり、電流通路を形成するストライプ状溝59が形成された電流阻止構造体層71と、 $p\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第3のクラッド層60(厚さ $1.8\mu\text{m}$)と、 $p\text{-GaAs}$ キャップ層61(厚さ $1\mu\text{m}$)を備えている。上記電流阻止構造体層71は、上記ストライプ状溝59が2段の深さになるように、この層の貫通箇所に通じる厚さが薄い第1の領域71aと、この第1の領域に連なり、厚さが厚い第2の領域71bを有している。なお、39は p 側電極、40は n 側電極である。

【0040】この半導体レーザ素子は次のようにして作製する。

【0041】①まず、図8(a)に示すように、 $n\text{-GaAs}$ 基板21上に、分子線エピタキシー(MBE)法により、 $n\text{-GaAs}$ バッファ層22(厚さ $1\mu\text{m}$)、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第1のクラッド層23($x=0.45$ 、厚さ $2.0\mu\text{m}$)、多重量子井戸構造活性層125、 $p\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第2のクラッド層27(厚さ $0.15\mu\text{m}$)を順に積層する。続いて、上記電流阻止構造体層71を構成する $n\text{-GaAs}$ 第1の保護層50(厚さ $0.03\mu\text{m}$)、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第1のエッチストップ層51($x=0.55$ 、厚さ $0.03\mu\text{m}$)、 $n\text{-GaAs}$ 第1の電流阻止層52(厚さ $0.15\mu\text{m}$)、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第1の再蒸発防止層($w=0.1$ 、厚さ $0.03\mu\text{m}$)53、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第2のエッチストップ層54(厚さ $0.03\mu\text{m}$)、 $n\text{-GaAs}$ 第2の電流阻止層55(厚さ $0.6\mu\text{m}$)、 $n\text{-Al}_x\text{Ga}_{1-x}\text{As}$ 第2の再蒸発防止層56(厚さ $0.05\mu\text{m}$)および $n\text{-GaAs}$ 第2の保護層57(厚さ $0.05\mu\text{m}$)を順に積層する。

【0042】②次に、第2の保護層57の表面にフォトリソ(図示せず)を塗布して、フォトリソグラフィを行って、上記フォトリソに幅約 $2.5\mu\text{m}$ のストライプ状の窓を形成する。次に、同図(b)に示すように、このフォトリソをマスクとして選択エッチングを行って、第2の保護層57、第2の再蒸発防止層56、第2の電流阻止層55を除去し、第2のエッチストップ層54でエッチングを停止させる。続いて、この第2のエッチストップ層54を選択的に除去する(このとき、第1の再蒸発防止層53がエッチストップ層となる。)。これにより、基板上に、ストライプ状溝58を形成する。

【0043】③次に、再びフォトリソグラフィを行っ

て、ストライプ状溝58の両側の第2の保護層57表面にフォトリソ(図示せず)を設ける。このとき、フォトリソには、上記ストライプ状溝58を中心とする幅4 μ m程度のストライプ状の窓を形成する。そして、同図(c)に示すように、このフォトリソマスクとして選択エッチングを行って、上記ストライプ状溝58の底に露出した第1の再蒸発防止層53と第1の電流阻止層52を除去し、第1のエッチストップ層51でエッチングを停止させる。同時に、ストライプ状溝55の両側の第2の保護層57、第2の再蒸発防止層56、第2の電流阻止層55を除去し、第2のエッチストップ層54でエッチングを停止させる。さらに、上記フォトリソを除去したのち、ストライプ状溝の底に露出した第1のエッチストップ層51と第2のエッチストップ層54を選択的に除去する(このとき、それぞれ第1の保護層50、第1の再蒸発防止層53がエッチストップ層となる。)。これにより、電流阻止構造体層71に、2段の深さを有するストライプ状溝59を形成する。すなわち、電流阻止構造体層71に、貫通箇所を形成するとともに、この貫通箇所に接する厚さが薄い第1の領域71aと、この第1の領域71aに連なり、厚さが厚い第2の領域71bを形成する。

【0044】この半導体レーザ素子では、エッチングすべき層の下地に、選択的にエッチング可能な半導体層50,51,53,54を設けているので、確実にエッチングを停止させることができ、ストライプ状溝59を精度良く仕上げることができる。

【0045】④次に、図9(d)に示すように、上記基板をMBE装置に導入し、ストライプ状溝59の底に露出した第1の保護層50を再蒸発させる。続いて、MBE法により、全面に、 $p\text{-Al}_{1-x}\text{Ga}_x\text{As}$ 第3のクラッド層60(厚さ1.8 μ m)と、 $p\text{-GaAs}$ キャップ層61(厚さ1 μ m)を積層する。

【0046】この段階で、電流阻止構造体層71の第1の領域71a、第2の領域71bの厚さD3、D4(図3に示す)は、 $D3=0.29\mu\text{m}$ 、 $D4=0.97\mu\text{m}$ 程度になる。特に、上記第1の領域71aを構成する半導体層50~56のうち活性層125が発したレーザ光を吸収する半導体層50,52,53の厚さの和D5は、0.21 μm になっている。なお、第1の領域41aの幅(片側)は、 $(W2-W1)/2$ に相当し、約0.75 μm となる。

【0047】⑤最後に、図9(e)に示すように、基板の両側に、p側電極39、n側電極40を形成する。そして、劈開により、基板をチップに分割して作製を完了する。

【0048】この半導体レーザ素子は、発振領域近傍(第1の領域71aに相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域71bに相当する)では電流阻止構造体層71の厚さを厚くして十分な電流阻止機能を持たせている。特に、

上記第1の領域71aを構成する半導体層50~56のうち活性層25が発したレーザ光を吸収する半導体層50,52,53の厚さの和D5は、0.26 μm であり、0.3 μm 未満に設定されている。したがって、先に述べた内部損失(α)を低減する効果により、低閾値電流、高効率特性を実現することができる。また、発振領域への強い光閉じ込めを実現できる。この結果、活性層に平行方向の遠視野像の拡がりが大きくなり、低楕円率を得ることができる。

【0049】本発明者は、上記各実施例の半導体レーザ素子を作製して、その特性を評価した。その結果、図12に示した従来の半導体レーザ素子に比して、内部損失が $1/2\sim 1/3$ に減少しており、発振閾値電流が約40mA(従来)から20~30mA程度にまで減少していることを確認した。また、外部微分効率は、従来に比して1.5倍程度に改善された。このような特性は、特に高出力レーザとして有効となる。また、第3実施例の半導体レーザ素子の両端面に非対称コーティングを行ったものでは、従来の半導体レーザ素子と比較すると、発振閾値電流を約25mA低減することができ、微分効率を1.5倍に高めることができた。また、300mW以上に至るまで安定な基本横モード発振を得ることができた。また、出射レーザ光の楕円率も低く、安定して2程度の良好な値を得ることができた。

【0050】なお、この実施例はAlGaAs系半導体レーザ素子について述べたが、当然ながらこの材料系に限られるものではない。この発明は他の材料系の半導体レーザ素子に広く適用することができる。また、電流阻止構造体の構成や組成は、この実施例に限定されるものではなく、要求される特性や製造方法によって様々に変えることができる。

【0051】

【発明の効果】以上より明らかなように、この発明の半導体レーザ素子は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、電流通路を形成するストライプ状の溝が設けられた電流阻止層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所(第1の領域)に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有しているの、発振領域近傍(第1の領域に相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域に相当する)では電流阻止層の厚さを厚くして十分な電流阻止機能を持たせることができる。したがって、安定に基本横モード発振を行うことができる上、低閾値電流、高効率特性を実現することができる。また、発振領域への強い光閉じ込めを実現でき、この結果、活性層に平行方向の遠視野像の拡がりを大きくすることができる。

【0052】また、上記電流阻止層の第1の領域の厚さD1は、 $0.05\mu\text{m} < D1 < 0.3\mu\text{m}$ の範囲内にある場合、発振領域近傍を光吸収が少ない低損失の条件に設定できる。すなわち、光吸収損失 α を略最小にして低閾値電流、高効率特性を実現することができる。

【0053】また、この発明の半導体レーザ素子は、半導体基板上に、少なくとも第1のクラッド層と、活性層と、第2のクラッド層と、複数種類の半導体層からなり、電流通路を形成するストライプ状の溝が設けられた電流阻止構造体層と、第3のクラッド層が順に積層されてなる半導体レーザ素子において、上記電流阻止構造体層は、上記ストライプ状の溝が2段の深さになるように、上記溝がこの層を貫通する箇所に接する厚さが薄い第1の領域と、この第1の領域に連なり、厚さが厚い第2の領域を有しているので、発振領域近傍(第1の領域に相当する)では光吸収が少ない低損失の条件に設定するとともに、その外側の領域(第2の領域に相当する)では電流阻止構造体層の厚さを厚くして十分な電流阻止機能を持たせることができる。したがって、安定に基本横モード発振を行うことができ、かつ、低閾値電流、高効率特性を実現することができる。また、発振領域への強い光閉じ込めを実現でき、この結果、活性層に平行方向の遠視野像の拡がりを大きくすることができる。

【0054】また、上記電流阻止構造体層の第1の領域を構成する半導体層のうち、上記活性層が発したレーザ光を吸収する半導体層の厚さの和D5は、 $0.05\mu\text{m} < D5 < 0.3\mu\text{m}$ の範囲内にある場合、発振領域近傍を光吸収が少ない低損失の条件に設定できる。すなわち、光吸収損失 α を略最小にして低閾値電流、高効率特性を実現することができる。

【0055】また、上記電流阻止構造体層は、上記半導体層として、互いに選択的にエッチング可能な層を含む場合、エッチングすべき層の下地の半導体層をいわゆるエッチストップ層として使用でき、エッチングを確実に停止することができる。したがって、上記電流阻止構造体層を精度良く仕上げることができる。

【0056】また、この発明の半導体レーザ素子の製造方法によれば、高微分効率かつ低閾値電流で安定に基本横モード発振する半導体レーザ素子を作製することができる。

【図面の簡単な説明】

【図1】 この発明の第1実施例の半導体レーザ素子の断面構造を示す図である。

【図2】 この発明の第2実施例の半導体レーザ素子の断面構造を示す図である。

【図3】 この発明の第3実施例の半導体レーザ素子の断面構造を示す図である。

【図4】 上記第1実施例の半導体レーザ素子の作製過程を示す図である。

【図5】 上記第1実施例の半導体レーザ素子の作製過程を示す図である。

【図6】 上記第2実施例の半導体レーザ素子の作製過程を示す図である。

【図7】 上記第2実施例の半導体レーザ素子の作製過程を示す図である。

【図8】 上記第3実施例の半導体レーザ素子の作製過程を示す図である。

【図9】 上記第3実施例の半導体レーザ素子の作製過程を示す図である。

【図10】 発振領域とその両側の領域との屈折率差 ΔN と、光吸収による内部損失 α についての計算による電流阻止層厚(Db)依存性を示す図である。

【図11】 発振領域とその両側の領域との屈折率差 ΔN と、光吸収による内部損失 α についての計算による電流阻止層厚(Db)依存性を示す図である。

【図12】 従来のセルフアライン構造半導体レーザ素子の断面構造を示す図である。

【符号の説明】

1 n-GaAs基板

2 n-GaAsバッファ層

3 n-Al_{1-x}Ga_xAs第1のクラッド層

4 Al_{1-x}Ga_xAs活性層

5 p-Al_{1-x}Ga_xAs第2のクラッド層

6 n-GaAs電流阻止層

6a 第1の領域

6b 第2の領域

7, 8 ストライプ状溝

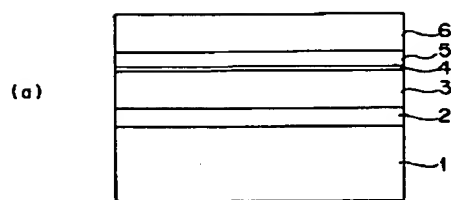
9 p-Al_{1-x}Ga_xAs第3のクラッド層

10 p-GaAsキャップ層

11 p側電極

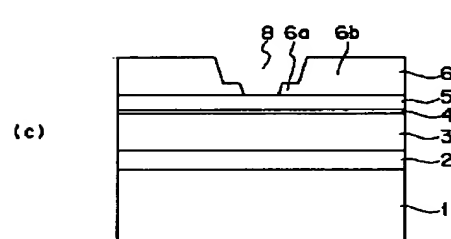
12 n側電極

【圖 4】

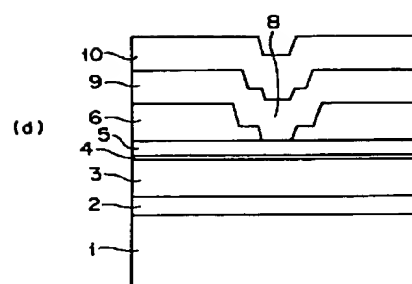


(b)

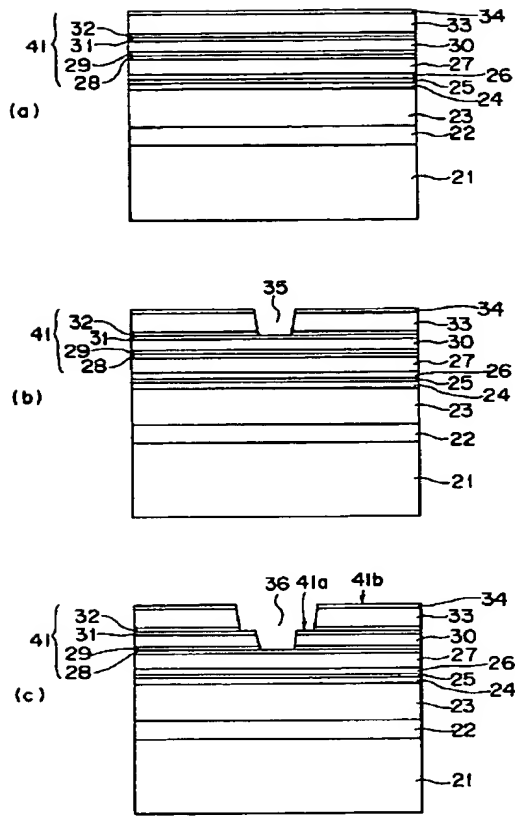
A cross-sectional view of a multi-layered structure. It consists of a base layer (1) and several upper layers (2, 3, 4, 5, 6). A central notch (7) is formed in the top layer (6). The layers are labeled 1 through 6 on the right side, and the notch is labeled 7 at the top.



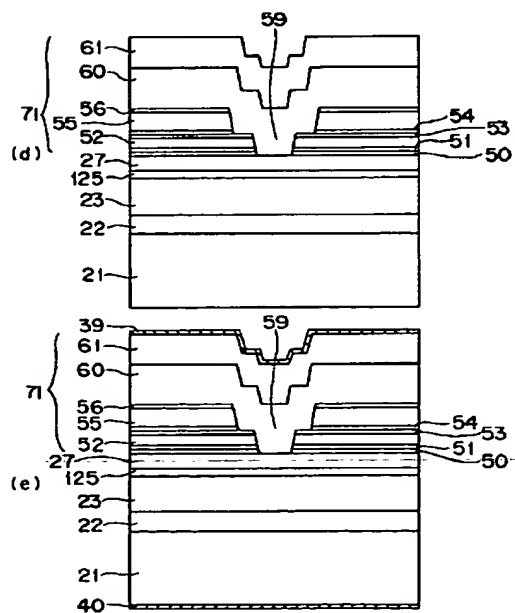
【圖3】



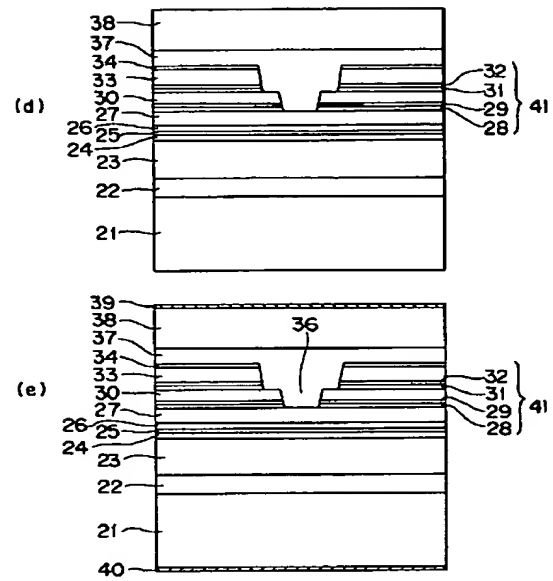
【図6】



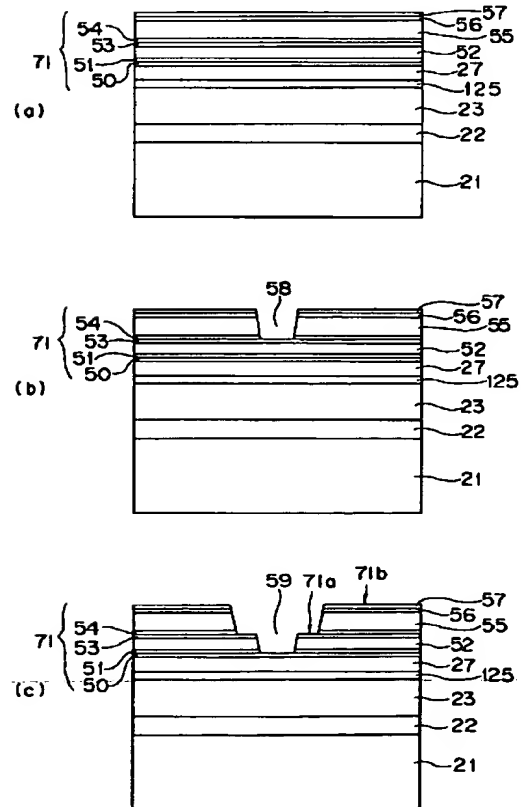
【図9】



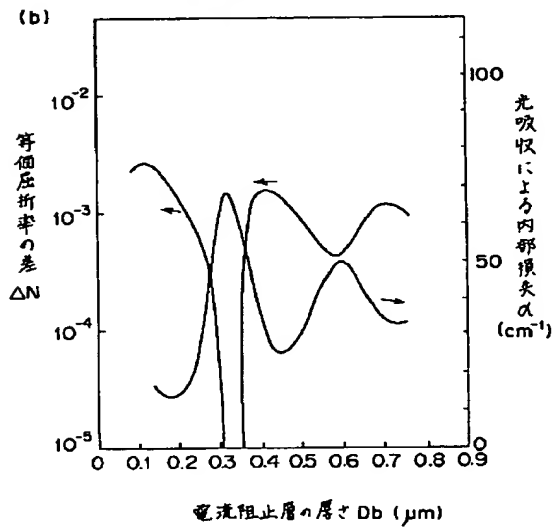
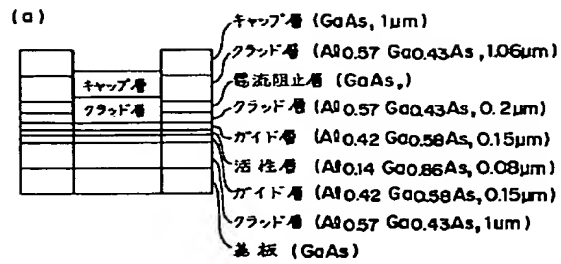
【図7】



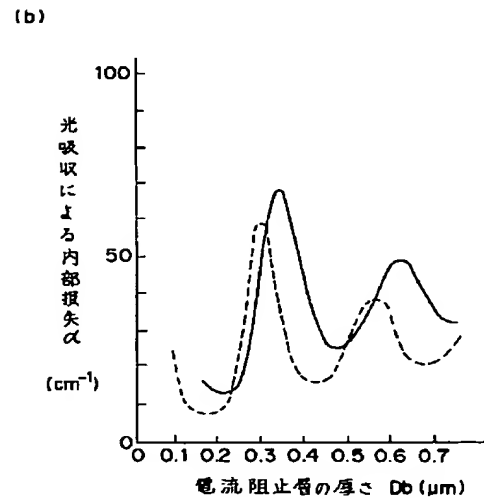
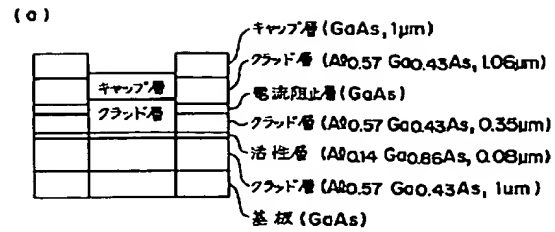
【図8】



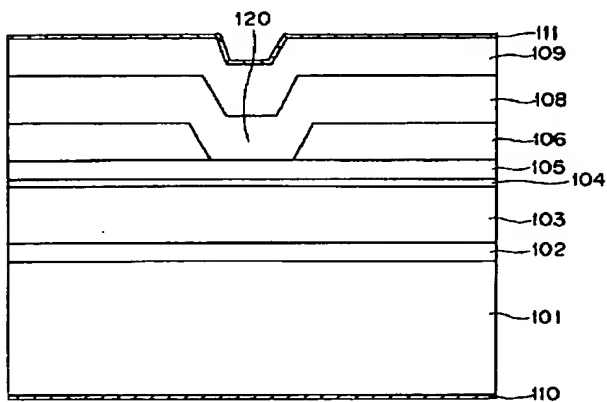
【図10】



【図11】



【図12】



フロントページの続き

(72)発明者 近藤 雅文
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 兼岩 進治
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内
(72)発明者 幡 俊雄
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内